

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.  
010132301      \*\*Image available\*\*

WPI Acc No: 1995-033552/199505

XRAM Acc No: C95-015311

XRPX Acc No: N95-026673

Semiconductor circuit prepn. used for LC - forming monosilicic active matrix on substrate etc

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: TAKAYAMA T; TAKEMURA Y; ZHANG H

Number of Countries: 002    Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 6318700</b>	A	19941115	JP 9467981	A	19940311	199505 B
US 5624851	A	19970429	US 94207173	A	19940308	199723
US 5677549	A	19971014	US 94207173	A	19940308	199747
			US 95439937	A	19950512	

Priority Applications (No Type Date): JP 9379001 A 19930312

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6318700	A		7 H01L-029/784	
US 5624851	A		9 H01L-021/322	
US 5677549	A		10 H01L-029/04	Div ex application US 94207173 Div ex patent US 5624831

Abstract (Basic): JP 6318700 A

Circuit of a monosilicic active matrix is formed on a substrate.

Activated domain of thin film transistor (TFT) at the matrix portion has a catalytic element with a concn. of at least  $1 \times 10^{17}$ /m<sup>3</sup> and at the periphery driving circuit has a catalytic element with a concn. up to  $1 \times 10^{17}$ /m<sup>3</sup>.

USE/ADVANTAGE - The circuit is suitable for liq. crystal display element. It has improved character and can be mass produced at lower cost.

Dwg.1/3

Title Terms: SEMICONDUCTOR; CIRCUIT; PREPARATION; LC; FORMING; MONO; SILICIC; ACTIVE; MATRIX; SUBSTRATE

Derwent Class: L03; P81; U14

International Patent Class (Main): H01L-021/322; H01L-029/04; H01L-029/784

International Patent Class (Additional): G02F-001/1343; G02F-001/136;

H01L-021/20; H01L-021/265; H01L-021/324; H01L-021/336; H01L-029/76

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04646800

SEMICONDUCTOR CIRCUIT AND ITS MANUFACTURE

PUB. NO.: 06-318700 [JP 6318700 A]

PUBLISHED: November 15, 1994 (19941115)

INVENTOR(s): TAKAYAMA TORU

CHIYOU KOUYUU

TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 06-067981 [JP 9467981]

FILED: March 11, 1994 (19940311)

INTL CLASS: [5] H01L-029/784; G02F-001/1343; G02F-001/136; H01L-021/20; H01L-021/265; H01L-021/324; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD:R002 (LASERS); R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

#### ABSTRACT

PURPOSE: To manufacture a thin-film transistor(TFT) in which high mobility is required and to manufacture a TFT in which a low leakage current is required by a method wherein the active region for the TFT of a matrix part had a catalyst element whose concentration is at a definite value or higher and the concentration of the catalyst element in the TFT for a drive circuit in the periphery is made smaller than a definite value.

CONSTITUTION: When a catalyst material in a very small amount is added to an amorphous silicon film, its crystallization is promoted, its crystallization temperature is lowered and its crystallization time can be shortened. As the catalyst material, a simple substance of Ni, Fe, Co or Pt or a compound of their silicides or the like is suitable. In order to promote the crystallization, it is required to make the concentration of at least one out of them  $1 \times 10^{17} \text{cm}^{-3}$  or higher, preferably  $5 \times 10^{18} \text{cm}^{-3}$  or higher. In addition, in a region in which the catalyst material does not exist, the crystallization is not promoted, and the concentration of the catalyst is made  $1 \times 10^{17} \text{cm}^{-3}$  or lower, preferably  $1 \times 10^{16} \text{cm}^{-3}$  or lower.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-318700

(43)公開日 平成 6 年(1994)11月15日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/1343		9017-2K		
1/136	5 0 0	9119-2K		
		9056-4M	H 0 1 L 29/ 78	3 1 1 A
		8617-4M	21/ 265	B
審査請求 未請求 請求項の数12 F D (全 7 頁) 最終頁に続く				

(21)出願番号 特願平6-67981

(22)出願日 平成 6 年(1994) 3 月11日

(31)優先権主張番号 特願平5-79001

(32)優先日 平 5 (1993) 3 月12日

(33)優先権主張国 日本 (J P)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 竹村 保彦

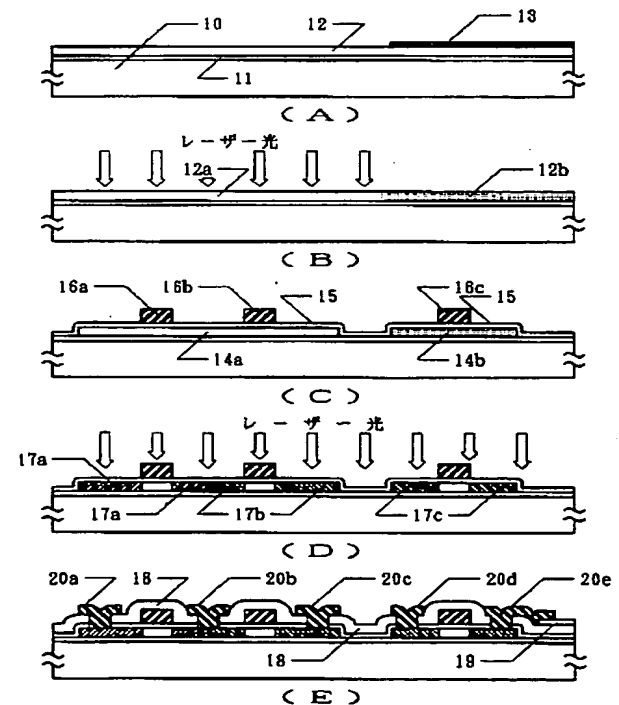
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 半導体回路およびその作製方法

(57)【要約】

【目的】 薄膜トランジスタ (TFT) の回路において、低リーク電流のTFTと高速動作が可能なTFTを有する半導体回路およびそのような回路を作製するための方法を提供する。

【構成】 アモルファスシリコン膜に密着して触媒元素を有する物質を形成し、もしくはアモルファスシリコン膜中に触媒元素を導入し、このアモルファスシリコン膜を、通常のアモルファスシリコンの結晶化温度よりも低い温度でアニールすることによって、選択的に結晶化をおこない、次に、結晶化しなかった領域をレーザーもしくはそれと同等な強光によって結晶化する。そして、先に熱アニールによって結晶化した領域をアクティブマトリクス回路の画素回路に使用されるTFTに、後でレーザーによって結晶化した領域を周辺駆動回路に使用されるTFTに用いる。



## 【特許請求の範囲】

【請求項 1】 基板上に、形成されたモノリシックアクティブマトリクス回路において、マトリクス部の薄膜トランジスタの活性領域は  $1 \times 10^{17} \text{ cm}^{-3}$  またはそれ以上の濃度の触媒元素を有し、前記、周辺駆動回路の薄膜トランジスタでの触媒元素の濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$  未満であることを特徴とする半導体回路。

【請求項 2】 請求項 1 において、マトリクス部の薄膜トランジスタの活性領域中の触媒元素の濃度は  $5 \times 10^{18} \text{ cm}^{-3}$  以上であることを特徴とする半導体回路。

【請求項 3】 請求項 1 において、周辺駆動回路の薄膜トランジスタでの触媒元素の濃度は  $1 \times 10^{16} \text{ cm}^{-3}$  未満であることを特徴とする半導体回路。

【請求項 4】 請求項 1 において、触媒元素は、ニッケル、鉄、コバルト、白金の少なくとも 1 つであることを特徴とする半導体回路。

【請求項 5】 請求項 1 において、触媒元素の濃度は 2 次イオン質量分析法によって測定された最小値で定義されることを特徴とする半導体回路。

【請求項 6】 アモルファスシリコン膜およびそれに密着して触媒元素を有する物質を選択的に形成する第 1 の工程と、  
通常のアモルファスシリコンの結晶化温度よりも低い温度においてアニールすることにより、前記触媒元素の密着した部分のアモルファスシリコン膜を結晶化させる第 2 の工程と、  
触媒元素の存在しないアモルファスシリコン領域をレーザーもしくはそれと同等な強光によって結晶化させる第 3 の工程と、を有することを特徴とする半導体回路の作製方法。

【請求項 7】 アモルファスシリコン膜に触媒元素を導入する第 1 の工程と、  
通常のアモルファスシリコンの結晶化温度よりも低い温度においてアニールすることにより、前記触媒元素の密着した部分のアモルファスシリコン膜を結晶化させる第 2 の工程と、  
触媒元素の存在しないアモルファスシリコン領域をレーザーもしくはそれと同等な強光によって結晶化させる第 3 の工程と、を有することを特徴とする半導体回路の作製方法。

【請求項 8】 基板上に少なくとも 2 つの薄膜トランジスタを有し、第 1 の薄膜トランジスタの活性領域は  $1 \times 10^{17} \text{ cm}^{-3}$  またはそれ以上の濃度の触媒元素を有し、第 2 の薄膜トランジスタでの触媒元素の濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$  未満であることを特徴とする半導体回路。

【請求項 9】 請求項 8 において、前記第 1 の薄膜トランジスタの活性領域中の触媒元素の濃度は  $5 \times 10^{18} \text{ cm}^{-3}$  以上であることを特徴とする半導体回路。

【請求項 10】 請求項 8 において、前記第 2 の薄膜トランジスタでの触媒元素の濃度は  $1 \times 10^{16} \text{ cm}^{-3}$  未満

であることを特徴とする半導体回路。

【請求項 11】 請求項 8 において、触媒元素は、ニッケル、鉄、コバルト、白金の少なくとも 1 つであることを特徴とする半導体回路。

【請求項 12】 請求項 8 において、触媒元素の濃度は 2 次イオン質量分析法によって測定された最小値で定義されることを特徴とする半導体回路。

## 【発明の詳細な説明】

## 【0001】

10 【産業上の利用分野】 本発明は、薄膜トランジスタ (TFT) を複数個有する半導体回路およびその作製方法に関するものである。本発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれにも形成される。特に本発明は、モノリシック型アクティブマトリクス回路 (液晶ディスプレイ等に使用される) のように、低速動作のマトリクス回路と、それを駆動する高速動作の周辺回路を有する半導体回路に関して効果的である。

## 【0002】

20 【従来の技術】 最近、絶縁基板上に、薄膜状の活性層 (活性領域ともいう) を有する絶縁ゲイト型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲイトトランジスタ、いわゆる薄膜トランジスタ (TFT) が熱心に研究されている。これらは、透明な絶縁基板上に形成され、マトリクス構造を有する液晶等の表示装置において、各画素の制御用に利用することや駆動回路に利用することが目的であり、利用する半導体の材料・結晶状態によって、アモルファスシリコン TFT や結晶性シリコン TFT というように区別されている。

30 【0003】 一般にアモルファス状態の半導体の電界移動度は小さく、したがって、高速動作が要求される TFT には利用できない。そこで、最近では、より高性能な回路を作製するため結晶性シリコン TFT の研究・開発が進められている。

40 【0004】 結晶半導体は、アモルファス半導体よりも電界移動度が大きく、したがって、高速動作が可能である。結晶性シリコンでは、NMOS の TFT だけでなく、PMOS の TFT も同様に得られるので CMOS 回路を形成することが可能で、例えば、アクティブマトリクス方式の液晶表示装置においては、アクティブマトリクス部分のみならず、周辺回路 (ドライバー等) をも CMOS の結晶性 TFT で構成する、いわゆるモノリシック構造を有するものが知られている。

50 【0005】 図 3 には、液晶ディスプレイに用いられるモノリシックアクティブマトリクス回路のブロック図を示す。基板 7 上には周辺ドライバー回路として、列デコーダー 1、行デコーダー 2 が設けられ、また、マトリクス領域 3 にはトランジスタとキャパシタからなる画素回路 4 が形成され、マトリクス領域と周辺回路とは、配線 5、6 によって接続される。周辺回路に用いる TFT は

高速動作が、また、画素回路に用いるTF Tは低リーク電流が要求される。それらの特性は物理的に矛盾するものであるが、同一基板上に同時に形成することが求められていた。

【0006】しかしながら、同一プロセスで作製したTF Tは全て同じ様な特性を示す。例えば、結晶シリコンを得るにはレーザーによる結晶化（レーザーアニール）という手段を使用することができるが、レーザー結晶化によって結晶化したシリコンでは、マトリクス領域のTF Tも周辺駆動回路領域のTF Tも同じ様な特性である。そこで、マトリクス領域は熱結晶化を採用し、周辺駆動回路領域はレーザーによる結晶化を採用するという方法が考えられるが、熱結晶化には、600℃で24時間以上も長時間のアニールをするか、1000℃以上の高温でのアニールが必要であった。前者では、スループットが低下し、後者では基板が石英に限定されてしまう。

【0007】

【発明が解決しようとする課題】本発明はこのような困難な課題に対して解答を与えんとするものであるが、そのためにプロセスが複雑化し、歩留り低下やコスト上昇を招くことは望ましくない。本発明の主旨とするところは、高移動度が要求されるTF Tと低リーク電流が要求されるTF Tという2種類のTF Tを最小限のプロセスの変更によって、量産性を維持しつつ、容易に作り分けることにある。

【0008】

【課題を解決するための手段】本発明者の研究の結果、実質的にアモルファス状態のシリコン被膜に微量の触媒材料を添加することによって結晶化を促進させ、結晶化温度を低下させ、結晶化時間を短縮できることが明らかになった。触媒材料としては、ニッケル（Ni）、鉄（Fe）、コバルト（Co）、白金（Pt）の単体、もしくはそれらの珪化物等の化合物が適している。具体的には、これらの触媒元素を有する膜、粒子、クラスター等をアモルファスシリコン膜の下、もしくは上に密着して形成し、あるいはイオン注入法等の方法によってアモルファスシリコン膜中にこれらの触媒元素を導入し、その後、これを適当な温度、典型的には580℃以下の温度で熱アニールすることによって結晶化させることができる。

【0009】さらに化学的気相成長法（CVD法）によってアモルファスシリコン膜を形成する際には原料ガス中に、また、スパッタリング等の物理的気相法でアモルファスシリコン膜を形成する際には、ターゲットや蒸着源等の成膜材料中に、これらの触媒材料を添加しておいてもよい。当然のことであるが、アニール温度が高いほど結晶化時間は短いという関係がある。また、ニッケル、鉄、コバルト、白金の濃度が大きいほど結晶化温度が低く、結晶化時間が短いという関係がある。本発明人

の研究では、結晶化を進行させるには、これらのうちの少なくとも1つの元素の濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上、好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以上存在することが必要であることがわかった。

【0010】なお、上記触媒材料はいずれもシリコンにとっては好ましくない材料であるので、できるだけその濃度が低いことが望まれる。本発明人の研究では、これらの触媒材料の濃度は合計して $1 \times 10^{20} \text{ cm}^{-3}$ を越えないことが望まれる。

10 【0011】さらに、注目すべき事柄は、このような触媒材料の存在しない領域では全く結晶化を進行させることなく、アモルファス状態を維持できることである。例えば、通常、このような触媒材料を有しない、典型的にはその濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 以下のアモルファスシリコンの結晶化は600℃以上の温度で開始されるが、580℃以下では全く進行しない。ただし、300℃以上の雰囲気ではアモルファスシリコン中のダングリングボンドを中和するのに必要な水素は離脱する。

20 【0012】本発明では、上記の触媒材料による結晶化の特徴を生かして、アモルファスシリコン膜を形成して、一部を選択的に結晶化させて、アクティブマトリクス回路の画素回路に用いられるような低リーク電流が必要とされるTF Tに用い、他のアモルファス状態の部分新たにレーザーによって結晶化させて、これを周辺駆動回路に用いられるような高速応答の可能なTF Tとして用いることを特徴とする。この結果、低リーク電流と高速動作という矛盾するトランジスタを有する回路を同一基板上に同時に形成することができる。

30 【0013】本発明で肝要なことは、レーザー結晶化されるべき領域には、触媒元素が混入してはならないということである。すなわち触媒元素が混入したアモルファスシリコンは結晶化するが、一度結晶化したシリコン膜は、レーザー照射によっても、より優れた特性（例えばより高い移動度）を示すシリコン膜とはならない。このことは逆に、触媒元素によって結晶化した領域はレーザー照射によってもその特性を失われないという意味で重要である。すなわち、必ずしもレーザー照射を選択的におこなう必要はない。

40 【0014】アモルファスシリコン膜の全面に触媒元素を分布させる場合について考慮すれば、全く好ましくない結果しか得られないことがわかる。例えば、全面に触媒元素を分布させて、最初に熱結晶化をおこない、次に選択的にレーザー結晶化をおこなった場合には、レーザー結晶化によってシリコン膜の改善ができないことは先に述べた通りである。

50 【0015】この逆に、最初に選択的にレーザー結晶化した後に熱結晶化する工程を考えると、実はレーザー結晶化するには、アモルファスシリコン膜から過剰な水素を放出させるために350℃以上、好ましくは45

0℃以上に加熱することが求められるのであるが、この程度の加熱によっても、触媒の作用によって微細な結晶化が進行し、レーザー結晶化の効果を減じてしまうのである。このような理由から、触媒材料はレーザー結晶化する領域には存在してはならない。

【0016】一方、本発明においては、最初の熱結晶化の段階で、レーザー結晶化すべき領域の水素出しを行えるため、工程が短縮できるというメリットがある。以下に実施例を用いて、より詳細に本発明を説明する。

【0017】

【実施例】

【実施例1】図1に本実施例の作製工程の断面図を示す。まず、基板（コーニング7059）10上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜11を形成した。さらに、プラズマCVD法によって、厚さ500～1500Å、例えば1500Åの真性（I型）のアモルファスシリコン膜12を堆積した。連続して、スパッタリング法によって、厚さ5～200Å、例えば20Åの珪化ニッケル膜（化学式 $\text{NiSi}_x$ 、 $0.4 \leq x \leq 2.5$ 、例えば、 $x = 2.0$ ）13を図に示すように選択的に形成した。（図1（A））

【0018】そして、これを還元雰囲気下、500℃で4時間アニールして結晶化させた。この結果、珪化ニッケル膜13の下方のアモルファスシリコン膜は結晶化して結晶シリコン膜12bとなった。一方、珪化ニッケル膜の存在しなかった領域のシリコン膜はアモルファス状態のまま（12a）であった。次に、アモルファス状態のままの領域に選択的にレーザー光を照射して、その領域の結晶化をおこなった。

【0019】レーザーとしてはKrFエキシマーレーザー（波長248nm、パルス幅20nsec）を用いたが、その他のレーザー、例えば、XeFエキシマーレーザー（波長353nm）、XeClエキシマーレーザー（波長308nm）、ArFエキシマーレーザー（波長193nm）等を用いてもよい。レーザーのエネルギー密度は、200～500mJ/cm<sup>2</sup>、例えば350mJ/cm<sup>2</sup>とし、1か所につき2～10ショット、例えば2ショット照射した。レーザー照射時に、基板を200～450℃、例えば400℃に加熱した。図3からも明らかなように、レーザー結晶化すべき領域（周辺回路領域）と熱結晶化で十分な領域（マトリクス領域）はかなりの距離が存在するので、特にフォトリソグラフィ工程は必要がなく、また、レーザー照射によって、先に熱結晶化した領域が変質することもなかった。（図1（B））

【0020】このようにして得られたシリコン膜をフォトリソグラフィ法によってパターニングし、島状シリコン領域14a（周辺駆動回路領域）および14b（マトリクス領域）を形成した。さらに、スパッタリング法によって厚さ1000Åの酸化珪素膜15をゲート絶縁

膜として堆積した。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は200～400℃、例えば350℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素=0～0.5、例えば0.1以下とした。引き続いて、減圧CVD法によって、厚さ6000～8000Å、例えば6000Åのシリコン膜（0.1～2%の燐を含む）を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的におこなうことが望ましい。そして、シリコン膜をパターニングして、ゲート電極16a、16b、16cを形成した。（図1（C））

【0021】次に、プラズマドーピング法によって、シリコン領域にゲート電極をマスクとして不純物（燐およびホウ素）を注入した。ドーピングガスとして、フォスフィン（ $\text{PH}_3$ ）およびジボラン（ $\text{B}_2\text{H}_6$ ）を用い、前者の場合は、加速電圧を60～90kV、例えば80kV、後者の場合は、40～80kV、例えば65kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、燐を $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15}$ とした。この結果、N型の不純物領域17a、P型の不純物領域17bおよび17cが形成された。（図1（D））

【0022】その後、レーザーアニールによって、不純物を活性化させた。レーザーとしてはKrFエキシマーレーザー（波長248nm、パルス幅20nsec）を用いたが、その他のレーザー、例えば、XeFエキシマーレーザー（波長353nm）、XeClエキシマーレーザー（波長308nm）、ArFエキシマーレーザー（波長193nm）等を用いてもよい。レーザーのエネルギー密度は、200～400mJ/cm<sup>2</sup>、例えば250mJ/cm<sup>2</sup>とし、1か所につき2～10ショット、例えば2ショット照射した。レーザー照射時に、基板を200～450℃に加熱してもよい。こうして不純物領域17a～17cが活性化した。

【0023】続いて、厚さ6000Åの酸化珪素膜18を層間絶縁物としてプラズマCVD法によって形成し、さらに、スパッタリング法によって厚さ500～1000Å、例えば800Åのインジウム錫酸化膜（ITO）を形成し、これをパターニングして画素電極を19形成した。次に層間絶縁物にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって周辺駆動回路TFTの電極・配線20a、20b、20c、マトリクス画素回路TFTの電極・配線20d、20eを形成した。最後に、1気圧の水素雰囲気

で350℃、30分のアニールをおこなった。以上の工程によって半導体回路が完成した。（図1（E））得られたTFTの活性領域に含まれるニッケルの濃度を2次イオン質量分析（SIMS）法によって測定したところ、画素領域では $1 \times 10^{18} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 、周辺駆動領域では測定限界（ $1 \times 10^{16} \text{ cm}^{-3}$ ）以下であった。

【0024】〔実施例2〕 図2に本実施例の作製工程の断面図を示す。基板（コーニング7059）21上に、スパッタリング法によって、厚さ2000Åの酸化珪素膜22を形成した。次に、プラズマCVD法によって、厚さ200～1500Å、例えば500Åのアモルファスシリコン膜23を堆積した。そして、アモルファスシリコン膜23をフォトレジスト24でマスクして、イオン注入法によって選択的にニッケルイオンを注入し、ニッケルが $1 \times 10^{18} \sim 2 \times 10^{19} \text{ cm}^{-3}$ 、例えば、 $5 \times 10^{18} \text{ cm}^{-3}$ だけ含まれるような領域25を作製した。この領域26の深さは200～500Åとし、加速エネルギーはそれに合わせて最適なものを選択した。（図2（A））

【0025】そして、還元雰囲気下、500℃で4時間アニールしてアモルファスシリコン膜を結晶化させた。この結晶化工程によって、ニッケルの注入された領域23bは結晶化した。一方、ニッケルが注入されなかった領域23aはアモルファス状態のままであった。次に、アモルファス状態のままの領域に選択的にレーザー光を照射して、その領域の結晶化をおこなった。

【0026】レーザーとしてはKrFエキシマーレーザー（波長248nm、パルス幅20nsec）を用いた。レーザーのエネルギー密度は、200～500mJ/cm<sup>2</sup>、例えば350mJ/cm<sup>2</sup>とし、1か所につき2～10ショット、例えば2ショット照射した。レーザー照射時に、基板を200～450℃、例えば400℃に加熱した。（図2（B））

【0027】その後、このシリコン膜をバターニングして、島状シリコン領域26a（周辺駆動回路領域）および26b（マトリクス画素回路領域）を形成した。さらに、テトラ・エトキシ・シラン（Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>、TEOS）と酸素を原料として、プラズマCVD法によってTFTのゲイト絶縁膜として、厚さ1000Åの酸化珪素27を形成した。原料には、上記ガスに加えて、トリクロロエチレン（C<sub>2</sub>HCl<sub>3</sub>）を用いた。成膜前にチャンバーに酸素を400SCCM流し、基板温度300℃、全圧5Pa、RFパワー150Wでプラズマを発生させ、この状態を10分保った。その後、チャンバーに酸素300SCCM、TEOSを15SCCM、トリクロロエチレンを2SCCMを導入して、酸化珪素膜の成膜をおこなった。基板温度、RFパワー、全圧は、それぞれ300℃、75W、5Paであった。成膜完了後、チャンバーに100Torrの水素を導入し、350℃で35分の水素アニールをおこなった。

【0028】引き続いて、スパッタリング法によって、厚さ6000～8000Å、例えば6000Åのアルミニウム膜（2%のシリコンを含む）を堆積した。アルミニウムの代わりにタンタル、タングステン、チタン、モリブテンでもよい。なお、この酸化珪素27とアルミニ

ウム膜の成膜工程は連続的にこなうことが望ましい。そして、アルミニウム膜をバターニングして、TFTのゲイト電極28a、28b、28cを形成した。さらに、このアルミニウム配線の表面を陽極酸化して、表面に酸化物層29a、29b、29cを形成した。陽極酸化は、酒石酸の1～5%エチレングリコール溶液中でおこなった。得られた酸化物層の厚さは2000Åであった。（図2（C））

【0029】次に、プラズマドーピング法によって、シリコン領域に不純物（燐）を注入した。ドーピングガスとして、フォスフィン（PH<sub>3</sub>）を用い、加速電圧を60～90kV、例えば80kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $2 \times 10^{15} \text{ cm}^{-2}$ とした。このようにしてN型の不純物領域30aを形成した。さらに、今度は左側のTFT（Nチャネル型TFT）をフォトレジストでマスクして、再び、プラズマドーピング法で右側の周辺回路領域TFT（PチャネルTFT）およびマトリクス領域TFTのシリコン領域に不純物（ホウ素）を注入した。ドーピングガスとして、ジボラン（B<sub>2</sub>H<sub>6</sub>）を用い、加速電圧を50～80kV、例えば65kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、先に注入された燐より多い $5 \times 10^{15} \text{ cm}^{-2}$ とした。このようにしてP型の不純物領域30b、30cを形成した。

【0030】その後、レーザーアニール法によって不純物の活性化をおこなった。レーザーとしてはKrFエキシマーレーザー（波長248nm、パルス幅20nsec）を用いた。レーザーのエネルギー密度は、200～400mJ/cm<sup>2</sup>、例えば250mJ/cm<sup>2</sup>とし、1か所につき2～10ショット、例えば2ショット照射した。（図2（D））

【0031】続いて、層間絶縁物として厚さ2000Åの酸化珪素膜31をTEOSを原料とするプラズマCVD法によって形成し、さらに、スパッタリング法によって、厚さ500～1000Å、例えば800Åのインジウム錫酸化膜（ITO）を堆積した。そして、これをエッチングして画素電極32を形成した。さらに、層間絶縁物31ににコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって周辺ドライバー回路TFTのソース、ドレイン電極・配線33a、33b、33cおよび画素回路TFTの電極・配線33d、33eを形成した。以上の工程によって半導体回路が完成した。（図2（E））

【0032】作製された半導体回路において、周辺ドライバー回路領域のTFTの特性は従来のレーザー結晶化によって作製されたものとは何ら劣るところはなかった。例えば、本実施例によって作成したシフトレジスタは、ドレイン電圧15Vで1MHz、17Vで16MHzの動作を確認できた。また、信頼性の試験においても従来のものとの差を見出せなかった。さらに、マトリ



9

クス領域のTFT（画素回路）の特性に関しては、リーク電流は $10^{-13}$  A以下であった。

【0033】

【発明の効果】本発明によって、同一基板上に、高速動作が可能な結晶性シリコンTFTと低リーク電流を特徴とする結晶性シリコンTFTを形成することができた。これをモノリシックアクティブマトリクス型の液晶ディスプレイ等に応用した場合には、量産性の向上と特性の改善が図られる。もちろん、本発明は液晶ディスプレイのみに限定されるものではなく、その他のTFTを用いて構成される半導体集積回路においても効果的に利用できる。

【0034】また、本発明は、例えば、500℃というような低温、かつ、4時間という短時間でシリコンの結晶化をおこなうことによって、スループットを向上させることができる。加えて、従来、600℃以上のプロセスを採用した場合にはガラス基板の縮みやソリが歩留り低下の原因として問題となっていたが、本発明を利用することによってそのような問題点は一気に解消された。

【0035】さらに、このことは、大面積の基板を一度に処理できることを意味するものである。すなわち、大

10

面積基板を処理することによって、1枚の基板から多くの半導体回路（マトリクス回路等）を切りだすことによって単価を大幅に低下させることができる。このように本発明は工業上有益な発明である。

【図面の簡単な説明】

【図1】 実施例1の作製工程断面図を示す。

【図2】 実施例2の作製工程断面図を示す。

【図3】 モノリシック型アクティブマトリクス回路の構成例を示す。

10 【符号の説明】

10・・・基板

11・・・下地絶縁膜（酸化珪素）

12・・・アモルファスシリコン膜

13・・・珪化ニッケル膜

14・・・島状シリコン領域

15・・・ゲート絶縁膜（酸化珪素）

16・・・ゲート電極（燐ドーパされたシリコン）

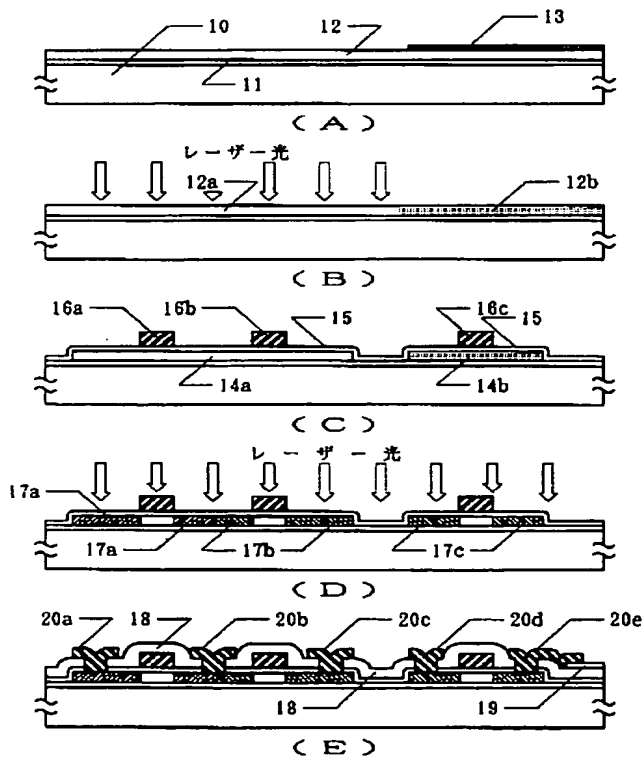
17・・・ソース、ドレイン領域

18・・・層間絶縁物

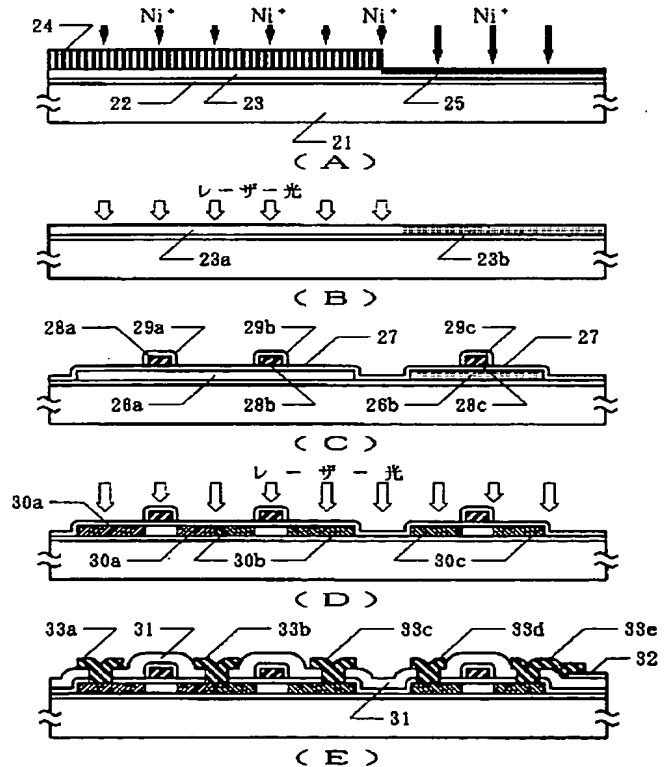
20 19・・・画素電極（ITO）

20・・・金属配線・電極（窒化チタン／アルミニウム）

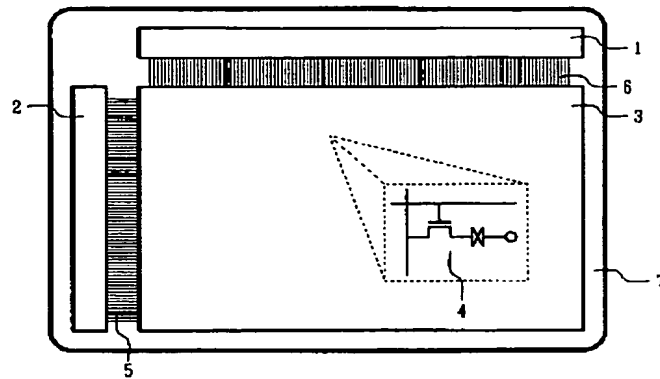
【図1】



【図2】



【図 3】



フロントページの続き

(51) Int. Cl. <sup>5</sup>

H 0 1 L 21/20  
21/265  
21/324  
21/336

識別記号

片内整理番号

F I

技術表示箇所

8122-4M

Z 8617-4M

9056-4M

H 0 1 L 29/78

3 1 1 Y